

SECTION : SCIENCES TECHNIQUES

Durée : 2 heures

Epreuve : GENIE ELECTRIQUE

4^{ème} SC.TECH3

8-11-2012

Nom : Prénom : N° : Classe : 4^{ème} SC.Tech3

B- PARTIE ELECTRIQUE

I-Etude de l'additionneur : (9.5 Pts)

1- compléter la table de vérité d'un additionneur complet des deux nombres de 1 bits ;
(S_i : somme ; C_{i+1} : la retenue de sortie ; C_i : la retenue d'entrée ; a_i et b_i : bits d'entrées).

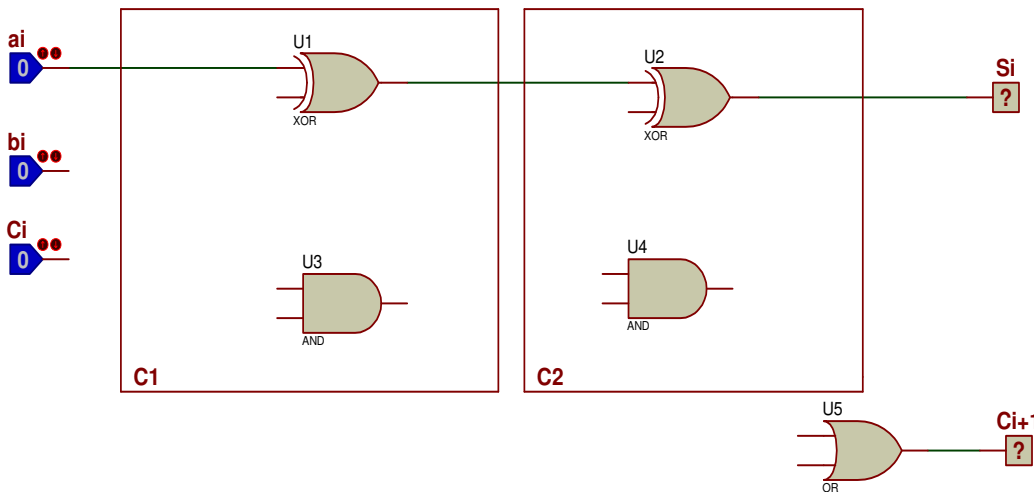
a_i	b_i	C_i	C_{i+1}	S_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2- Donner les équations logiques simplifiées des sorties.

C_{i+1} =

S_i =

3- Compléter le logigramme de l'additionneur complet.



4- Identifier les bocs C_1 et C_2 .

.....

.....

.....

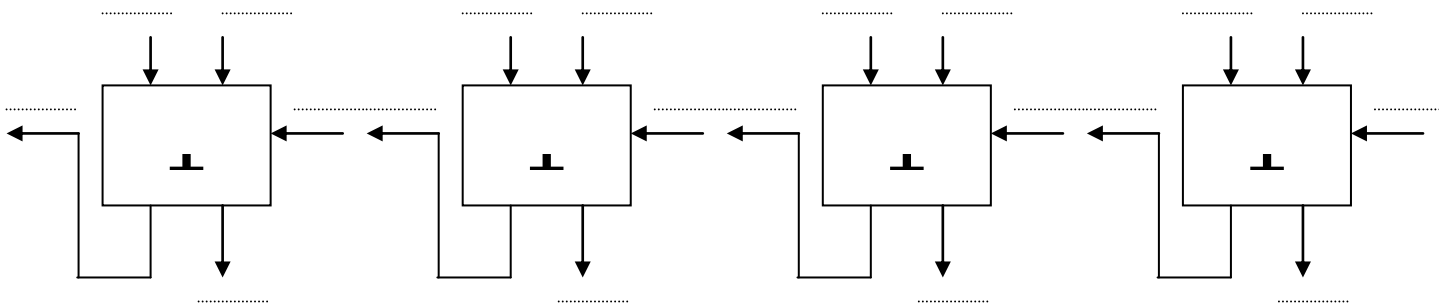
.....

.....

.....

.....

5- Mettre les entrées et les sorties et compléter le traçage du schéma synoptique de de l'additionneur des deux nombres $A (a_3a_2a_1a_0)$ et $B (b_3b_2b_1b_0)$



6- On souhaite transformer le montage précédent en un additionneur / soustracteur.
 On rappelle que dans la représentation en complément à 2 . $A - B = A + (-B) = A + \bar{B} + 1$.
 Cet additionneur / soustracteur possèdera une entrée de commande (ADD) qui sera utilisée
 comme suit :

* **ADD= 0**, fonctionnement en additionneur

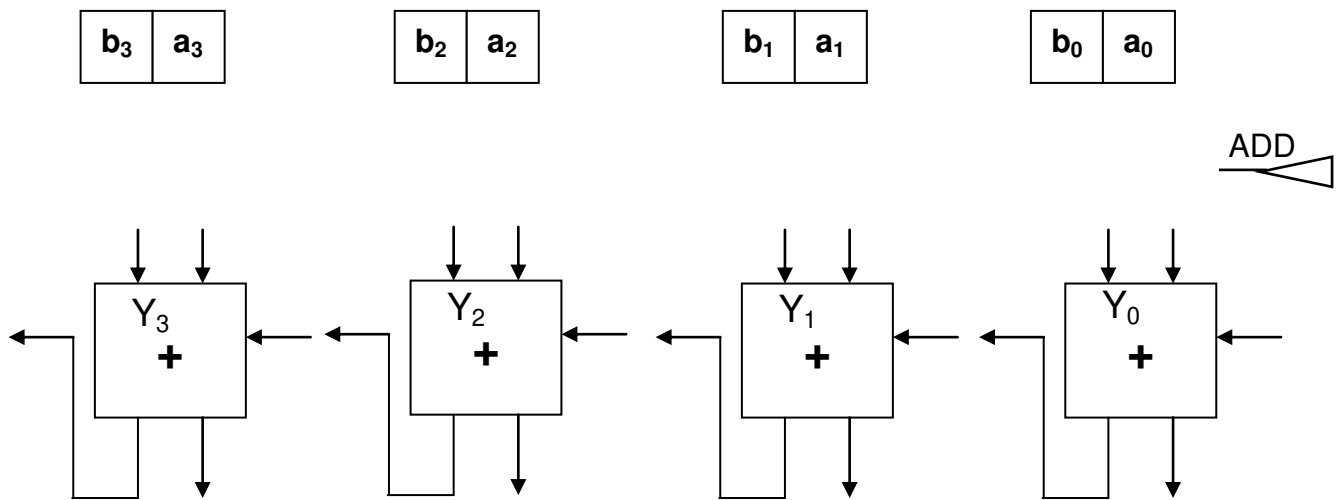
* **ADD= 1**, fonctionnement en soustracteur

a- compléter la table de vérité suivante (Y_i est l'image de bit b_i ou son complément selon l'opération).

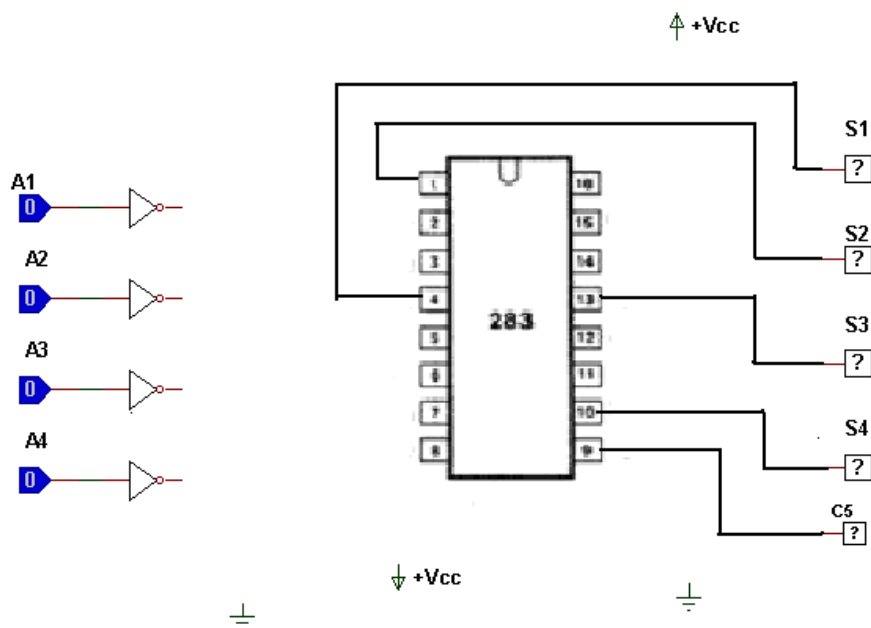
ADD	b_i	Y_i
0	0	
0	1	
1	1	
1	0	

$Y_i = \dots\dots\dots$

b- Compléter le schéma synoptique de l'additionneur soustracteur.



7- le complémenteur à 2 est un circuit qui effectue le complément à deux d'un nombre binaire (complément à 2 de $A = \bar{A} + 1$).
 En se référant au dossier technique (circuit additionneur page 3/4) Compléter le schéma de câblage de ce complémenteur à 2 à 4 bits.



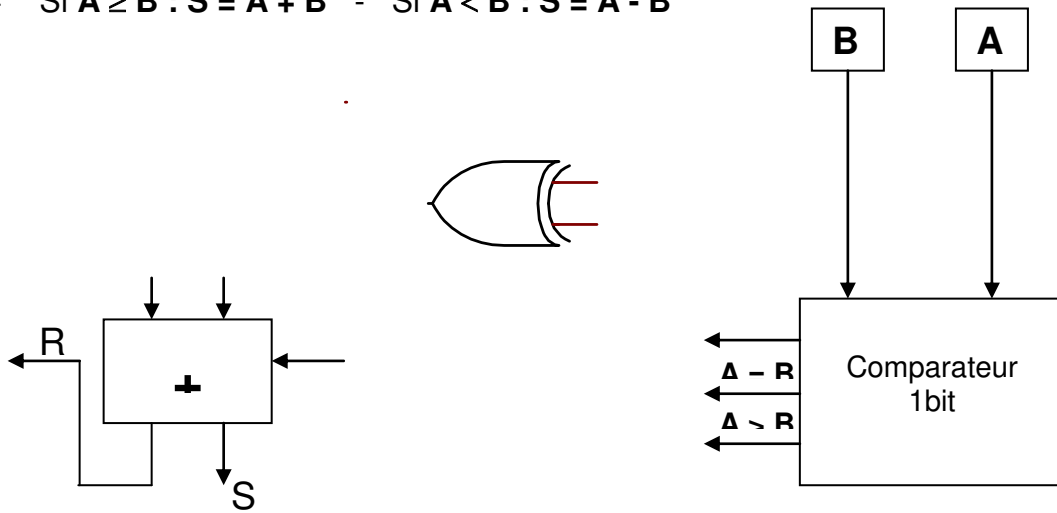
II- Etude du comparateur : (1.5 Pts)

Le comparateur existant dans le système comporte les trois cellule suivante :

- additionneur à 1 bit
- comparateur à 1 bit
- porte logique ou exclusif

1-Pour **A :A₀** et **B :B₀** , tracer le logigramme réalisant la fonction S suivante :

- Si **A ≥ B : S = A + B**
- Si **A < B : S = A - B**



III- Etude de l'UAL : (9 Pts)

L'UAL implanté dans ce système travaille sur des mots binaires , (page 2/4 dossier technique). Entrées **A** et **B** , Retenue d'entrée **r_e** sous forme complémentée Sortie **S**.

Retenue de sortie **r_s** sous forme complémentée Fonction **G** et **P** sur 4 bits sous forme complémentée 5 entrées de commande **M** avec **M = 0** pour les opérations logiques et **M = 1** pour les opérations arithmétiques **f₃ f₂ f₁ f₀** pour 16 opérations distinctes .

Elle est réalisée selon le schéma de la figure 1 page 2/4, en deux parties :

- Un générateur de fonctions **G_i** et **P_i** (sous forme complémentée)
- Un additionneur rapide avec calcul de retenue .

1- Mettre une croix devant la bonne réponse :

- L' UAL travaille sur des mots de : 16bits
- 4bits
- 8bits

2- Quel est le nombre des opérations totale réalisée par cette unité ?

En mode logique (M = 0) :

1- D'après la figure 2 du dossier technique page 2/4 donner les équations de **G_i** et **P_i** en fonctions des entrées **a_i** , **b_i** et les entrées de commandes **f₀** , **f₁** , **f₂** et **f₃**

G_i = **P_i** =

2- Donner la valeur de la sortie **S = G_i + P_i** pour les combinaisons suivantes :

f ₃	f ₂	f ₁	f ₀	G _i	P _i	P _i	S _i
1	0	1	1				
0	1	0	1				
1	1	0	0				
1	1	0	1				

En mode arithmétique (M = 1) :

r_{i-1} est la retenue provenant de l'étage précédant. La figure 1 page 2/4 donne les sorties S_i .

1- Donner l'équation de S_i d'après la figure 1

$S_i = \dots\dots\dots$

2- Donner la valeur de la sortie S pour les combinaisons suivantes :

r_{i-1}	f_3	f_2	f_1	f_0	G_i	P_i	$\overline{G_i}$	S_i
1	1	0	1	1				
1	0	1	0	1				
1	1	1	0	0				
1	1	1	0	1				

VI / On désire améliorer la carte de commande automatique de l'unité en ajoutant une Unité Arithmétique et logique "UAL" 4 bits 74 181 .

1 / Citer les opérations de base réalisées par l'UAL

.....

2 / Citer les éléments de base constituant un UAL

.....

3 / Donner la différence entre une UL et une UAL

.....

4 / Identifier les sorties :

M :

Cn :

A = B :

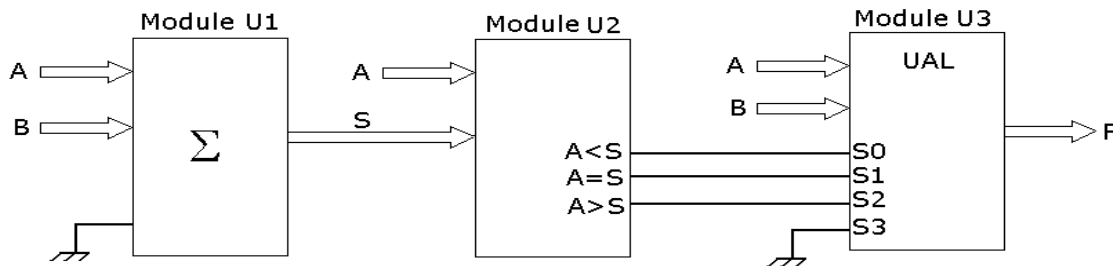
En se référant au schéma structurel du circuit de calcul numérique représenté au dossier technique analyser le fonctionnement et compléter le tableau suivant.

A				B				Additionneur :U1				Comparateur : U2			UAL : U3				
A ₄	A ₃	A ₂	A ₁	B ₄	B ₃	B ₂	B ₁	S ₄	S ₃	S ₂	S ₁	Q _{A<S}	Q _{A=S}	Q _{A>S}	Opération	F ₃	F ₂	F ₁	F ₀
1	0	1	0	1	1	0	1												
0	1	1	1	0	1	1	1												
0	0	1	1	1	0	1	1												

1. Etude d'un circuit de calcul numérique

1.1. Circuit synoptique

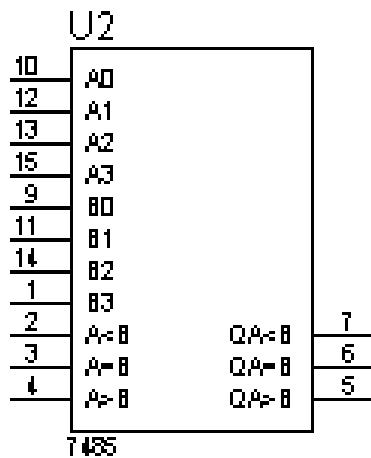
La figure suivante représente le schéma synoptique d'un circuit de calcul numérique



1.2. Circuits de brochages

Ce circuit est réalisé autour des circuits intégrés 7483, 7485 et 74181 dont on donne les circuits de brochages suivants :

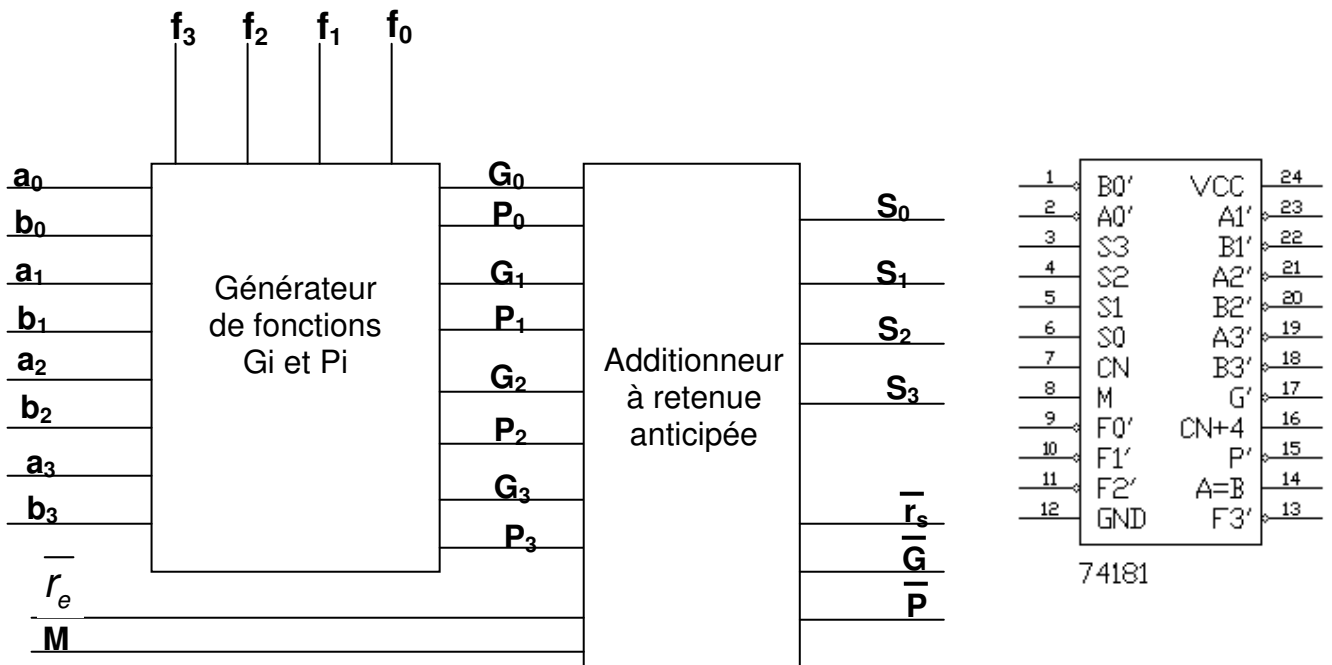
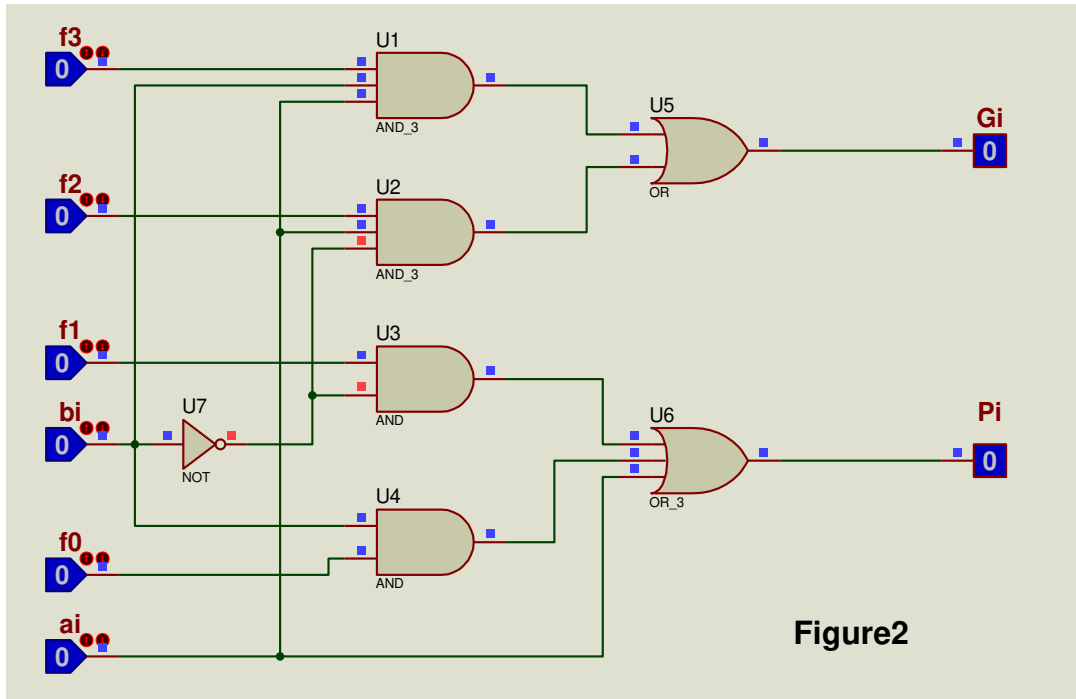
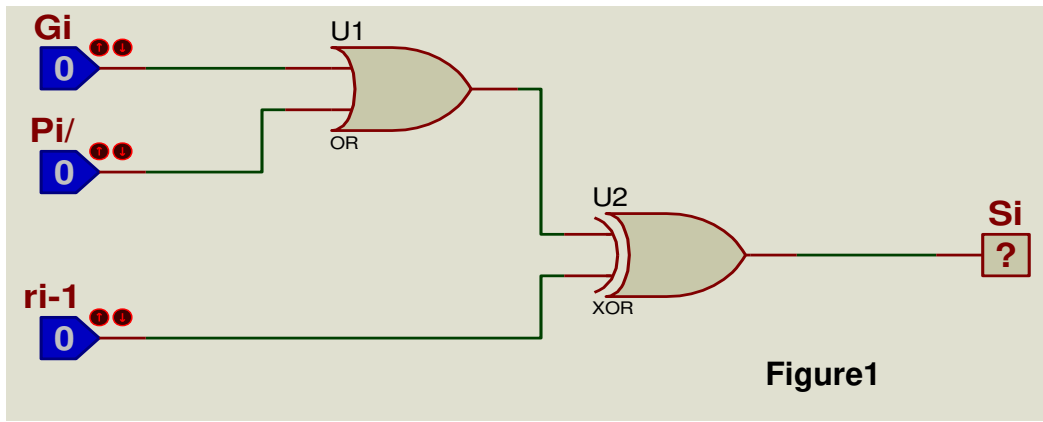
A, B : deux mots binaires d'entrée.
 QA < B , QA = B , QA > B : sorties



Entrées des nombres				Entrées cascadables			Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	0	1	0
A3 = B3	A2 > B2	X	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0

Fig. 23. - Table de vérité du circuit intégré 7485.

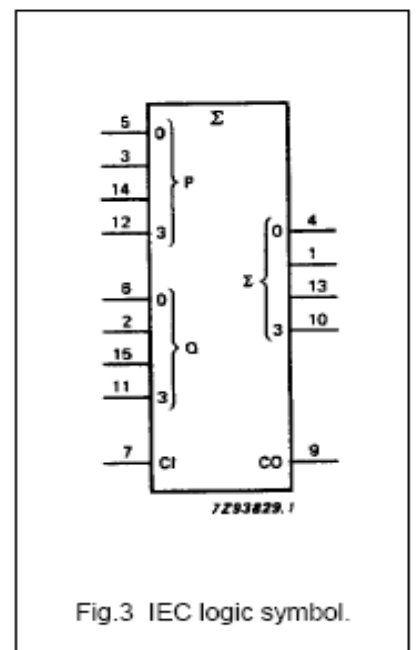
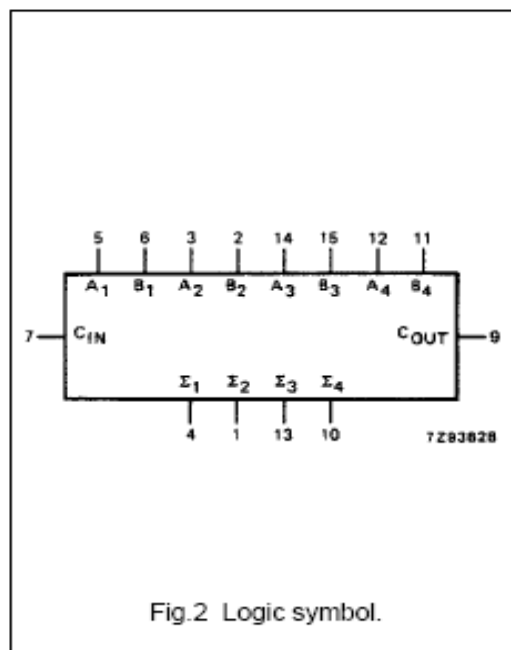
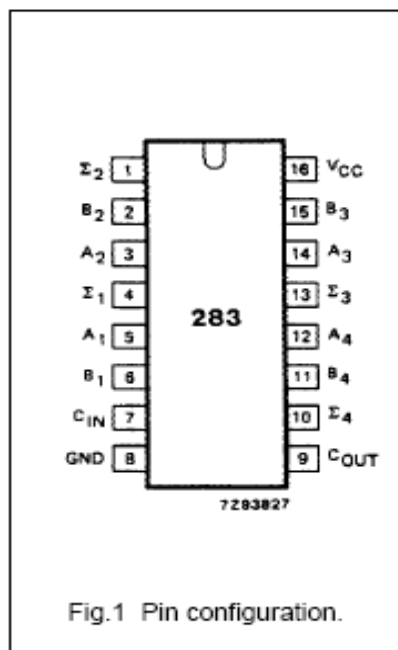
* Structure de L'UAL



Sélection				M = 1	M = 0	
S3	S2	S1	S0	Opération logique	Cn = 1	Cn = 0
0	0	0	0	$F = \bar{A}$	$F = A$	$F = A \text{ plus } 1$
0	0	0	1	$F = \overline{A+B}$	$F = A+B$	$F = (A+B) \text{ plus } 1$
0	0	1	0	$F = \overline{A.B}$	$F = A+\bar{B}$	$F = (A+\bar{B}) \text{ plus } 1$
0	0	1	1	$F = 0$	$F = \text{moins } 1$	$F = 0$
0	1	0	0	$F = \overline{A.B}$	$F = A \text{ plus } A.\bar{B}$	$F = A \text{ plus } A.B \text{ plus } 1$
0	1	0	1	$F = \bar{B}$	$F = (A+B) \text{ plus } A.\bar{B}$	$F = (A+B) \text{ plus } A.\bar{B} \text{ plus } 1$
0	1	1	0	$F = A \oplus B$	$F = A \text{ moins } B \text{ moins } 1$	$F = A \text{ moins } B$
0	1	1	1	$F = A.\bar{B}$	$F = A.\bar{B} \text{ moins } 1$	$F = A.\bar{B}$
1	0	0	0	$F = \overline{A+B}$	$F = A \text{ plus } A.B$	$F = A \text{ plus } A.B \text{ plus } 1$
1	0	0	1	$F = \overline{A \oplus B}$	$F = A \text{ plus } B$	$F = A \text{ plus } B \text{ plus } 1$
1	0	1	0	$F = B$	$F = (A+\bar{B}) \text{ plus } A.B$	$F = (A+\bar{B}) \text{ plus } A.B \text{ plus } 1$
1	0	1	1	$F = A.B$	$F = A.B \text{ moins } 1$	$F = A.B$
1	1	0	0	$F = 1$	$F = A \text{ plus } A$	$F = A \text{ plus } A \text{ plus } 1$
1	1	0	1	$F = A+\bar{B}$	$F = (A+B) \text{ plus } A$	$F = (A+B) \text{ plus } A \text{ plus } 1$
1	1	1	0	$F = A+B$	$F = (A+\bar{B}) \text{ plus } A$	$F = (A+\bar{B}) \text{ plus } A \text{ plus } 1$
1	1	1	1	$F = A$	$F = A \text{ moins } 1$	$F = A$

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
4, 1, 13, 10	Σ_1 to Σ_4	sum outputs
5, 3, 14, 12	A_1 to A_4	A operand inputs
6, 2, 15, 11	B_1 to B_4	B operand inputs
7	C_{IN}	carry input
8	GND	ground (0 V)
9	C_{OUT}	carry output
16	V_{CC}	positive supply voltage



2. Schéma structurel

La figure ci-dessous représente le schéma structurel du circuit de calcul numérique précédent

